02910.000111.





PATENT APPLICATION

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:		)	) : Examiner: NYA ) : Group Art Unit: NYA )
KENJI SHINO ET AL.		;	
Application No.: 10/766,817		; )	
Filed:	January 30, 2004	; ;	
For:	DRIVE CIRCUIT	,	February 24, 2004
P.O. Bo	essioner for Patents ox 1450 dria, VA 22313-1450		

# **SUBMISSION OF PRIORITY DOCUMENT**

Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed is a certified copy of the following foreign application:

2003-021668, filed January 30, 2003.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

Attorney for Applicants

Registration No.

FITZPATRICK, CELLA, HARPER & SCINTO

30 Rockefeller Plaza

New York, New York 10112-3801

Facsimile: (212) 218-2200

NY\_MAIN 410130v1

10/166,817

## JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application:

January 30, 2003

Application Number:

2003-021668

Applicant(s):

CANON KABUSHIKI KAISHA KABUSHIKI KAISHA TOSHIBA

TOSHIBA MICROELECTRONICS CORPORATION

Dated this 16th day of January 2004

Commissioner, Japan Patent Office

Yasuo Imai (Seal)

Certificate Issuance No. 2003-3111177





別紙添付の書類に記載されている事項は下記の出願書類に記載されて いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:

2003年 1月30日

出 Application Number:

人

特願2003-021668

[ST. 10/C]:

[JP2003-021668]

出 願 Applicant(s):

キヤノン株式会社

株式会社東芝

東芝マイクロエレクトロニクス株式会社

2004年 1月16日

特許庁長官 Commissioner, Japan Patent Office



【書類名】 特許願

【整理番号】 251742

【提出日】 平成15年 1月30日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G09G 3/20

H01L 27/00

H01J 1/30

【発明の名称】 駆動回路

【請求項の数】 5

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会

社 内

【氏名】 篠 健治

【発明者】

【住所又は居所】 神奈川県川崎市川崎区駅前本町25番地1 東芝マイク

ロエレクトロニクス株式会社内

【氏名】 野稲 泰一

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社東芝

【特許出願人】

【識別番号】 000221199

【氏名又は名称】 東芝マイクロエレクトロニクス株式会社



# 【代理人】

【識別番号】 100085006

【弁理士】

【氏名又は名称】 世良 和信

【電話番号】

03-5643-1611

【選任した代理人】

【識別番号】

100100549

【弁理士】

【氏名又は名称】 川口 嘉之

【選任した代理人】

【識別番号】 100106622

【弁理士】

【氏名又は名称】 和久田 純一

【手数料の表示】

【予納台帳番号】

066073

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

# 【書類名】 明細書

# 【発明の名称】 駆動回路

#### 【特許請求の範囲】

## 【請求項1】

少なくとも光又は電子を放出する放出素子を接続部材を介して接続するための 駆動用出力端子と、

前記駆動用出力端子からの出力電圧を補正するための補正回路と、を有する駆動回路において、

前記補正回路は、

前記駆動用出力端子側と基準電圧源側とに一対の主電極が接続された駆動用トランジスタと、

前記駆動用トランジスタから出力される出力電圧を制御するための演算増幅器と、

前記駆動用トランジスタに流れる電流を検出するための検出用トランジスタと

前記駆動用出力端子の出力電圧を検出して、前記演算増幅器に帰還させる第1 の帰還ループと、

前記検出用トランジスタの出力電流を検出して、前記演算増幅器に帰還させる 第2の帰還ループと、を備え、

前記駆動用トランジスタと前記検出用トランジスタとがミラー回路を構成していることを特徴とする駆動回路。

#### 【請求項2】

前記駆動用トランジスタと前記検出用トランジスタとがN:1 (N>1) の電流ミラー比をもつミラー回路を構成していることを特徴とする請求項1に記載の駆動回路。

#### 【請求項3】

前記駆動用トランジスタと前記検出用トランジスタには、前記駆動回路ととも に1チップに集積化された電流調整用抵抗が接続されていることを特徴とする請 求項1に記載の駆動回路。

# 【請求項4】

少なくとも光又は電子を放出する放出素子を接続部材を介して接続するための 駆動用出力端子と、

前記駆動用出力端子からの出力電圧を補正するための補正回路と、を有する駆動回路において、

前記補正回路は、

前記駆動用出力端子側と基準電圧源側とに一対の主電極が接続された駆動用トランジスタと、

前記駆動用トランジスタから出力される出力電圧を制御するための演算増幅器と、

前記駆動用トランジスタに流れる電流を検出するための検出用トランジスタと

前記駆動用出力端子の出力電圧を検出して、前記演算増幅器に帰還させる第1 の帰還ループと、

前記検出用トランジスタに流れる電流を検出して、前記演算増幅器に帰還させる第2の帰還ループと、

前記検出用トランジスタの制御電極の電位を該検出用トランジスタに流れる電流に応じて制御する制御手段と、

を具備することを特徴とする駆動回路。

#### 【請求項5】

前記接続部材の抵抗値に応じて予め設定された抵抗値を有する調整用素子を用いて、検出された前記検出用トランジスタに流れる電流を電圧に変換し、該電圧を基に前記演算増幅器の制御の下で、出力電圧を補正することを特徴とする請求項1乃至4の何れか1項に記載の駆動回路。

### 【発明の詳細な説明】

#### $[0\ 0\ 0\ 1]$

#### 【発明の属する技術分野】

本発明は、発光ダイオード、半導体レーザー、エレクトロルミネッセンス素子

、電子放出素子など、少なくとも光又は電子を放出する放出素子の駆動回路に関する。

## [0002]

# 【従来の技術】

放出素子と駆動回路とをフレキシブル配線基板などの配線部材によって接続し、放出素子を駆動する場合、配線部材の抵抗とそこを流れる電流により、配線部材において電圧降下が発生し、放出素子に実際に印加される実効駆動電圧が駆動回路の出力駆動電圧よりも小さくなってしまうことがある。

#### [0003]

図8は、表面伝導型の電子放出素子101と蛍光体(不図示)とを組み合わせたマトリクス表示パネル100を模式的に描いた図である。

# [0004]

素子101の実効駆動電圧に影響を与える抵抗としては、金属などの導電体からなる列配線102の配線抵抗Rxと金属などの導電体からなる行配線103の配線抵抗Ry、Ryoが挙げられるが、行配線103には、各列から電流が流れ込むことから、パネル100内の行配線103の配線抵抗Ry、Ryoが支配的となる。

#### [0005]

このパネル内の配線抵抗による電圧降下分を補正する方法が、例えば、特許文献1に開示されている。

#### [0006]

また、従来は、行駆動回路の出力バッファ106内におけるスイッチのオン抵抗Ronによる電圧降下を無視できるように、出力バッファ106のスイッチに、ゲート幅の大きな大面積トランジスタを用いていたので、行駆動回路を1チップに集積化した場合のチップ上の占有面積が大きくなり、ICチップが高価になっていた。

# [0007]

## 【特許文献1】

特開2002-221933号公報

# [0008]

# 【発明が解決しようとする課題】

そこで、従来採用されていたものより小さなトランジスタを出力バファに用いて、出力端子110の検出電圧を帰還させてそのオン抵抗による電圧降下分を補正する補正回路を用いる方法を検討した。

# [0009]

しかしながら、これでも駆動の精度を高めるためには、充分な補正方法ではない。例えば、行駆動回路とパネル100とを接続するフレキシブル配線のような接続部材105自体も抵抗Rfpcをもっており、この接続抵抗Rfpcによる電圧降下を、比較的簡単な構成で補正することが求められている。

# [0010]

上述した出力端子の検出電圧を帰還させてそのオン抵抗による電圧降下分を補正する補正回路では、検出端子を接続抵抗より負荷となる放出素子側に設定しなければならない。そのため接続配線路が余分に必要となり、フレキシブル配線の導体パターンの配列ピッチが高密度となり、寄生容量の増大、高コスト化を招くことになる。

#### $[0\ 0\ 1\ 1]$

本発明は上記の従来技術の課題を鑑みなされたもので、その目的とするところは、比較的簡単な構成で接続部材の抵抗とそこを流れる電流による電圧降下分を 精度良く補正することができる放出素子の駆動回路を提供することにある。

## $[0\ 0\ 1\ 2]$

#### 【課題を解決するための手段】

上記目的を達成するために本発明にあっては、

少なくとも光又は電子を放出する放出素子を接続部材を介して接続するための 駆動用出力端子と、

前記駆動用出力端子からの出力電圧を補正するための補正回路と、を有する駆動回路において、

前記補正回路は、

前記駆動用出力端子側と基準電圧源側とに一対の主電極が接続された駆動用ト

ランジスタと、

前記駆動用トランジスタから出力される出力電圧を制御するための演算増幅器と、

前記駆動用トランジスタに流れる電流を検出するための検出用トランジスタと

前記駆動用出力端子の出力電圧を検出して、前記演算増幅器に帰還させる第1 の帰還ループと、

前記検出用トランジスタの出力電流を検出して、前記演算増幅器に帰還させる 第2の帰還ループと、を備え、

前記駆動用トランジスタと前記検出用トランジスタとがミラー回路を構成して いることを特徴とする。

# [0013]

上記構成によれば、駆動用出力端子の出力電圧を検出して、演算増幅器に帰還させる第1の帰還ループを用いて演算増幅器の制御の下に出力電圧を一定に制御するので、駆動用トランジスタ自身のオン抵抗(Ron)に基づく電圧降下による出力電圧の変動を抑制することができる。

#### $[0\ 0\ 1\ 4]$

前記駆動用トランジスタと前記検出用トランジスタとがN:1 (N>1) の電流ミラー比をもつミラー回路を構成していることが好適である。

# $[0\ 0\ 1\ 5]$

前記駆動用トランジスタと前記検出用トランジスタには、前記駆動回路ととも に1チップに集積化された電流調整用抵抗が接続されていることが好適である。

#### [0016]

また、本発明の他の態様にあっては、

少なくとも光又は電子を放出する放出素子を接続部材を介して接続するための 駆動用出力端子と、

前記駆動用出力端子からの出力電圧を補正するための補正回路と、を有する駆動回路において、

前記補正回路は、

6/

前記駆動用出力端子側と基準電圧源側とに一対の主電極が接続された駆動用トランジスタと、

前記駆動用トランジスタから出力される出力電圧を制御するための演算増幅器と、

前記駆動用トランジスタに流れる電流を検出するための検出用トランジスタと

前記駆動用出力端子の出力電圧を検出して、前記演算増幅器に帰還させる第1 の帰還ループと、

前記検出用トランジスタに流れる電流を検出して、前記演算増幅器に帰還させる第2の帰還ループと、

前記検出用トランジスタの制御電極の電位を該検出用トランジスタに流れる電流に応じて制御する制御手段と、

を具備することを特徴とする。

# $[0\ 0\ 1\ 7]$

上記構成によれば、検出用トランジスタを用いて駆動用出力端子に流れる電流 及び駆動用出力端子の電圧をリアルタイムで検出し、これを基に補正を行うので 、電圧検出点を駆動用出力端子より先に、つまり付加側に設けることなく、接続 部材の抵抗とそこを流れる電流による電圧降下分を補正することができる。

#### [0018]

前記接続部材の抵抗値に応じて予め設定された抵抗値を有する調整用素子を用いて、検出された前記検出用トランジスタに流れる電流を電圧に変換し、該電圧を基に前記演算増幅器の制御の下で、出力電圧を補正することが好適である。

# [0019]

#### 【発明の実施の形態】

以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定的な記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

## [0020]

## (第1の実施の形態)

図1を参照して、第1の実施の形態に係る駆動回路について説明する。図1は本実施の形態に係る駆動回路の基本的な一例を示す回路構成図であり、少なくとも光又は電子を放出する放出素子101(図8参照)を、接続部材105(図8参照)を介して接続するための駆動用出力端子4を有する駆動回路を示している

## $[0\ 0\ 2\ 1]$

例えば、高電位の駆動用出力端子4側と、低電位の基準電圧源VEE側とに一対の主電極であるソース・ドレインが接続された駆動用トランジスタ1としてのnMOSFETが接続されている。

# [0022]

また、駆動用トランジスタ1から出力される出力電圧Voを制御するための演算増幅器3と、駆動用トランジスタ1に流れる電流i1を検出するための検出用トランジスタ2としてのnMOSFETと、が設けられている。

# [0023]

第1の帰還ループL1は、演算増幅器3の出力を、駆動用トランジスタ1と出力端子4を介して非反転入力端子に帰還させる系であり、駆動用出力端子4の出力電圧を検出して、演算増幅器3に帰還させる役目を担う。

### [0024]

第2の帰還ループL2は、演算増幅器3の出力を、検出用トランジスタ2を介して反転入力端子に帰還させる系であり、検出用トランジスタ2の出力電流i2 を検出して、調整用素子5で電圧に変換して、演算増幅器3に帰還させる役目を担う。

#### [0025]

そして、駆動用トランジスタ1と検出用トランジスタ2とがカレントミラー回路を構成しており、こうして、駆動用出力端子4の出力電圧Voを補正するための補正回路(駆動用トランジスタ1,検出用トランジスタ2,演算増幅器3、第1の帰還ループL1、第2の帰還ループL2)が構成されている。

## [0026]

理解をしやすくするために、調整用抵抗 6、7の値を無視し、駆動用トランジスタ1と検出用トランジスタ2とのミラー比を500:1に設定した場合を想定する。

# [0027]

駆動用出力端子4の出力電圧 $VotVref-Rref\cdot i2$ となり、出力端子に流れ込む出力電流、即ち、接続部材105に流れる電流をIo(=i1)とすると、出力電圧 $VotVref-Rref\cdot Io/500$ となる。したがって、調整用素子5の抵抗値Rrefを駆動用出力端子4より先の接続部材の抵抗値 Rfpcに対応した値に設定すれば、当該接続部材における電圧降下の影響を補償することができる。調整用素子5はこの補正回路を含む駆動回路と同じ半導体チップに集積化してもよいが、当該チップの外付け抵抗として、半導体チップが搭載されるフレキシブルフィルムや配線回路に設置することが好ましいものである。

## [0028]

このように、本実施の形態によれば、駆動用出力端子4の出力電圧Voを検出して、演算増幅器3に帰還させる第1の帰還ループL1を用いて演算増幅器3の制御の下に出力電圧を一定に制御するので、駆動用トランジスタ1自身のオン抵抗(Ron)に基づく電圧降下による出力電圧の変動を抑制することができる。

### [0029]

また、Ronを無視し得るような大きなトランジスタを用いる必要がなくなるので、駆動回路のチップ上の占有面積を小さくし、駆動回路を安価に提供できる。

# [0030]

また、駆動用トランジスタ1と検出用トランジスタ2とから主に構成されているミラー回路を用いて駆動用出力端子4に流れる電流Io(i1)をリアルタイムで検出し、これを基に補正を行うので、電圧検出点を駆動用出力端子4より先に設けることなく、接続部材15の抵抗Rfpcとそこを流れる電流による電圧降下分を補正することができる。従って、補正できる電圧降下分は抵抗Rfpcに限定されることはなく、調整用素子5の抵抗値設定次第で、パネル内の接続部材

の抵抗Ryoにおける電圧降下分をも補正することができる。

# [0031]

そして、ミラー回路により電流i 1を検出するので、ミラー比の設定により検出電流i 2を小さくし、検出に係る消費電力を小さくすることができ、補正回路の1チップ集積化が容易になる。調整用抵抗6、7は必要に応じて設けられるため、省略されていてもよく、この場合はミラー比のみで、駆動電流i 1と検出電流i 2との比を決めることができる。

# [0032]

また、抵抗である調整用素子5のみを補正すべき接続部材105の抵抗値Rfpcに応じて設計するか、又は抵抗値Rrefをトリミング抵抗や可変抵抗などで調整可能に設置すればよいので、駆動回路の汎用性が高まる。

# [0033]

本実施の形態においては、電流調整用抵抗7の抵抗値を電流調整用抵抗6の抵抗値より大なる値として、電流比を調整すれば、ミラー比を大きくすることなく、極端に云えば、ミラー比1:1で、同様の効果を実現することができる。

#### [0034]

(第2の実施の形態)

図2を参照して第2の実施の形態に係る駆動回路を説明する。図2は本実施の 形態に係る複数の放出素子を駆動するためのマルチチャンネル出力の駆動回路を 示す回路構成図である。

#### [0035]

図1と異なる点は、多出力対応のために駆動用選択スイッチ8と、帰還ループ選択スイッチ9と、が設けられ、駆動用トランジスタ1、検出用トランジスタ2、演算増幅器3、調整用素子5などの補正回路の主たる制御部を全チャンネルに対して共通に設けた点である。各チャンネルに個別にそれら制御部を設ける場合に比べて、集積回路の占有面積を抑制しつつチャンネル毎の補正精度を高めることができる。

## [0036]

チャンネル選択用の制御信号C1、C2、C3を選択的にスイッチ8、9に供

給することにより、1つの出力端子10を選択することができる。そして、選択 時のみ、そのチャンネルの帰還ループL1が成り立ち、動作精度を高めることが できる。

#### [0037]

こうして、選択された出力端子 10 にのみ、配線部材の抵抗 Rfpc による電圧降下分を補償する出力電圧 Vo を出力することができる。

#### [0038]

回路図上は、電圧検出点4と出力端子10が離れているが、この間の長さは非常に短いため配線抵抗は無視できる。

## [0039]

(第3の実施の形態)

図3を参照して第3の実施の形態に係る駆動回路を説明する。図3は本実施の 形態に係る2次元マトリクス接続された放出素子を駆動するために好適なマルチ チャンネル出力の駆動回路を示す回路構成図である。

# [0040]

図2の構成と異なる点は、まず、各チャンネルの出力回路B1、B2が、非選択時の出力端子10の電位を所定の電位Vusに保持する非選択電圧供給スイッチ12としてpMOSFETを設け、出力バッファをnMOSFET8との相補回路にした点である。更なる相違点は、第2の帰還ループL2が検出用トランジスタ2と検出選択スイッチ11とを介して、選択チャンネル毎に、成り立つように構成されている点である。

#### [0041]

そして、選択回路としてのシフトレジスタ13により、マトリクスパネルの少なくとも1行に対応した1チャンネル毎に、制御信号C1又はC2をスイッチ8、9、11、12に供給する。これにより、制御信号がハイレベルとなった選択されたチャンネルでは、スイッチ8、9、11がオンして、その出力端子10に、Vref、Rref、i2に応じて決まる電位の選択電圧Voが出力される。一方、制御信号がローレベルとなった選択されていない非選択チャンネルでは、非選択電圧供給スイッチ12のみがオンしてその出力端子10の電位Vusに保

持される。

# [0042]

このような動作が、マトリクスパネルの全行の選択が終了するまで順次行われることにより、マトリクスパネルの1フレーム走査が完了する。

# [0043]

接続部材15は、全出力端子が非選択電位Vusを出力している時に、検出用トランジスタ2のドレイン電圧Vopsを所定の値に固定するための抵抗器である。

# [0044]

抵抗器14は、帰還回路の利得を決めるための帰還利得調整用素子である。

#### [0045]

(第4の実施の形態)

図4を参照して第4の実施の形態に係るマトリックスパネルモジュールの回路 構成の概略を説明する。図4は駆動回路を1チップ化してマトリクスパネルとと もに組み立てたマトリクスパネルモジュールを示す模式図である。

# [0046]

DYが図1~3に示したような駆動回路チップであり、行選択回路を構成している。ここでは、マトリクスパネルの行選択は、複数の駆動回路チップDYで行われる。つまり、マトリクスパネルの全行に接続された全ての駆動回路チップDYにおけるチャンネルが順次選択されることにより、1フレーム走査が完了することになる。

#### [0047]

DXは列配線に供給する画素データに基づくデータ信号を発生する列駆動回路である。

#### [0048]

FX、FYはフレキシブル配線であり、ここではTABフィルムなどのテープキャリアに行選択回路DYや列駆動回路DXがパッケージングされたテープキャリアパッケージにより、マトリクスパネル100に実装されている。

#### [0049]

前述した調整用素子5は、各駆動回路チップDY毎に設けてもよいし、全てのチップDYに共通に1つだけ設けてもよい。

#### [0050]

(第5の実施の形態)

図5を参照して、第5の実施の形態に係る駆動回路について説明する。図5は 本実施の形態に係る駆動回路の基本的な一例を示す回路構成図である。

# $[0\ 0\ 5\ 1]$

図1に示した形態と異なる点は、検出用トランジスタ21としてNPNバイポーラトランジスタを用い、そのエミッタ電圧を基にバイポーラトランジスタの制御電極であるベース電位を制御する制御手段(演算増幅器)22を設けた点である。

# [0052]

演算増幅器22は、駆動用トランジスタ1を通して流れる電流i1を検出するために、その非反転入力端子が検出点25に接続されている。

# [0053]

より詳しくは、電流i1と電流調整用抵抗23による検出点25の電圧が演算 増幅器22に入力され、その値に基づいて検出用トランジスタ21のベース電圧 を制御する。このとき、エミッタ電圧を反転入力端子に帰還させているので、検 出用トランジスタ21のベース・エミッタ間電圧(オフセット電圧)による電圧 降下分を補償して、電流i1に比例した電流i2が精度良く検出用トランジスタ 21に流れる。電流比は主として電流調整用抵抗23、24の抵抗比に依存して 定めることができる。

# [0054]

電圧検出端子を兼ねる駆動用出力端子4における出力電圧をVo、そこに流れる電流をIo(=i1)、電流調整用抵抗23の抵抗値をR23、電流調整用抵抗24の抵抗値をR24とすると、

 $Vo = Vref - Rref \cdot Io \cdot R23 / R24$ 

#### [0055]

抵抗比をR23:R24=1:500とすれば、実施形態1と同様にVo=V

 $ref-Rref\cdot Io/500$ となることがわかる。

# [0056]

本実施の形態によれば、検出用トランジスタ21を用いて駆動用出力端子4に流れる電流 Io(i1)及び駆動用出力端子4の出力電圧Voをリアルタイムで検出し、これを基に補正を行うので、電圧検出点を駆動用出力端子より先に、つまり付加側に設けることなく、接続部材の抵抗とそこを流れる電流 Ioによる電圧降下分を補正することができる。

# [0057]

また、駆動回路を提供する半導体集積回路の外部に、外付けで調整用抵抗素子を設ければ、駆動電流i1と検出電流i2の比を大きくする場合に、駆動用と検出用の一対のトランジスタサイズに係らず設計できるので、トランジスタの製造上の閾値ばらつきのような特性不均一性に起因するところの、チャンネル間の補正特性の不均一性、或いは半導体集積回路間の補正特性の不均一性を抑制することができる。

# [0058]

また、駆動電流と検出電流の比を調整用抵抗素子の抵抗比で調整可能であるので、駆動回路の汎用性がより高まる。

#### [0059]

更には、検出用トランジスタの制御電極の電位を該検出用トランジスタに流れる電流 i 2 に応じて制御することにより、検出用トランジスタの制御電極と一方の主電極間のオフセット電圧を補正できるので、制御性の精度が高まる。

#### $[0\ 0\ 6\ 0\ ]$

(第6の実施の形態)

図6を参照して、第6の実施の形態に係る駆動回路について説明する。図6は本実施の形態に係る複数の放出素子を駆動するためのマルチチャンネル出力の駆動回路を示す回路構成図である。

#### $[0\ 0\ 6\ 1]$

図5に示した補正回路を図2に示したようなマルチチャンネル出力の駆動回路 に適用したものであり、その動作は図2及び図5の形態で説明したものと同様で ある。

## [0062]

(第7の実施の形態)

図7を参照して、第7の実施の形態に係る駆動回路について説明する。図7は本実施の形態に係る2次元マトリクス接続された放出素子を駆動するために好適なマルチチャンネル出力の駆動回路を示す回路構成図である。

# [0063]

図5に示した補正回路を図3に示したようなマルチチャンネル出力の駆動回路 に適用したものであり、その動作は図3及び図5の形態で説明したものと同様で ある。

# [0064]

前述した調整用素子 5、更には、電流調整用抵抗 2 3、 2 4 は、全てのチップ DYに共通に1つだけ設けてもよいが、このうち少なくとも電流調整用抵抗 2 3 、 2 4 は、各駆動回路チップDY毎に個別に設けることが好ましいものである。

# [0065]

以上説明した図1~図3に示した形態の駆動回路は、演算増幅器にバイポーラトランジスタを用いてBiCMOSプロセスで、或いは、演算増幅器を含めてフルCMOSプロセスで1チップのモノリシックICとして製造することができる

## [0066]

図5〜図7に示した形態の駆動回路は、BiCMOSプロセスで製造できるが、検出用トランジスタ21や演算増幅器をMOSFETで構成すれば、フルCMOSプロセスでモノリシックに集積化できる。

#### [0067]

また、少なくとも駆動用トランジスタ1と駆動用選択スイッチのトランジスタ 8とにDMOSと呼ばれるトランジスタを採用することも好ましいものである。

#### [0068]

また、図1~図3に示した形態の駆動回路では、最も単純なミラー回路を用いたが、他の周知のミラー回路を用いることもできる。

#### [0069]

また、図5~図7に示した形態における制御手段としては、演算増幅器に替えて、ベース又はゲートのような制御電極を検出点26に接続した単一のトランジスタを用いることもできる。

# [0070]

更に、各実施形態においては、電源電圧の正負を逆転させ、反対導電型のトランジスタを用いることもできるし、インバータを演算増幅器に直列に繋げば、入力端子の極性を逆転させることも可能であり、本発明は、図示した回路に限定されるものではない。

## [0071]

本発明に用いられる接続部材はフレキシブル配線に限定されることはなく、マトリクスパネル上の薄膜又は厚膜配線であってもよいし、それらの組み合わせであってもよい。

# [0072]

本発明に用いられる前述した調整用素子は、各駆動回路チップ毎に設けてもよいし、全てのチップに共通に1つだけ設けてもよい。

#### [0073]

また、マトリクスパネルの駆動回路として、本発明の駆動回路を用いる場合には、駆動回路の実装方法は、前述したテープキャリアパッケージによる実装方法に限定されることはなく、共通の配線板に複数のチップを並べて配列し、フレキシブルケーブルでマトリクスパネルと接続を行う形態(チップオンボード:COB)であってもよいし、マトリクスパネルの基板に直接、行選択回路DYや列駆動回路DXを接続する形態(チップオンガラス:COG)と呼ばれる方法などで行われても良い。

#### [0074]

本発明に用いられる放出素子としては、無機発光ダイオード、有機発光ダイオード、半導体レーザー、無機エレクトロルミネッセンス素子、有機エレクトロルミネッセンス素子、電界放出型の電子放出素子、表面伝導型の電子放出素子などが挙げられる。そして本発明の駆動回路は、これら放出素子が複数任意の位置に

配置された、1次元または2次元マトリクス状に接続された放出素子の駆動回路 として好適に用いられる。

## [0075]

#### 【発明の効果】

以上説明したように、本発明によれば、従来採用されていたものより小さなトランジスタを出力バファに用いても、接続抵抗による電圧降下を、比較的簡単な構成で精度良く補正することができ、比較的安価で精度の高い駆動回路を提供することができる。

# 【図面の簡単な説明】

## 【図1】

第1の実施の形態に係る駆動回路の基本的な一例を示す回路構成図である。

# 図2

第2の実施の形態に係る複数の放出素子を駆動するためのマルチチャンネル出力の駆動回路を示す回路構成図である。

#### 【図3】

第3の実施の形態に係る2次元マトリクス接続された放出素子を駆動するため に好適なマルチチャンネル出力の駆動回路を示す回路構成図である。

#### 【図4】

駆動回路を1チップ化してマトリクスパネルとともに組み立てたマトリクスパネルモジュールを示す模式図である。

#### 【図5】

第5の実施の形態に係る駆動回路の基本的な一例を示す回路構成図である。

#### 【図6】

第6の実施の形態に係る複数の放出素子を駆動するためのマルチチャンネル出力の駆動回路を示す回路構成図である。

### 【図7】

第7の実施の形態に係る2次元マトリクス接続された放出素子を駆動するため に好適なマルチチャンネル出力の駆動回路を示す回路構成図である。

#### 【図8】

表面伝導型の電子放出素子と蛍光体とを組み合わせたマトリクス表示パネルの 模式図である。

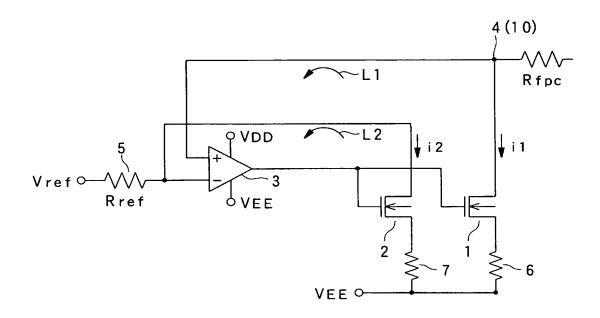
# 【符号の説明】

- 1 駆動用ドランジスタ
- 2 検出用トランジスタ
- 3 演算増幅器
- 4 駆動用出力端子
- 5 調整用素子
- 6、7電流調整用抵抗
- 8 駆動用選択スイッチ
- 9 帰還ループ選択スイッチ
- 10 出力端子
- 11 検出選択スイッチ
- 12 非選択電圧供給スイッチ
- 13 シフトレジスタ
- 1 4 抵抗器
- 15 接続部材
- 21 検出用トランジスタ
- 22 演算増幅器
- 23,24 電流調整用抵抗
- 25, 26 検出点
- 100 パネル
- 101 電子放出素子
- 102 列配線
- 103 行配線
- 105 接続部材
- 106 出力バッファ
- DX 列駆動回路
- DY 行選択回路

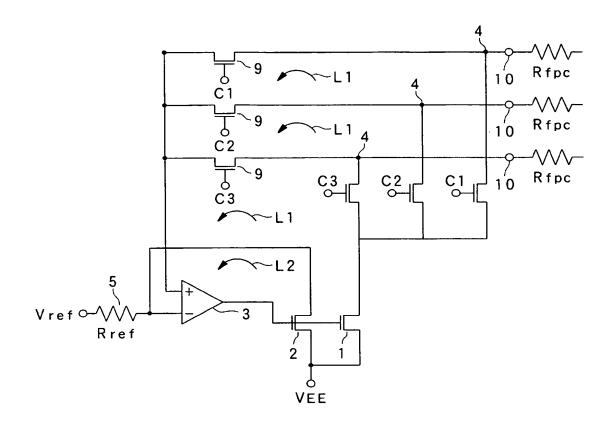
- i 1 駆動電流
- i 2 検出電流
- L1 帰還ループ
- L2 帰還ループ
- Ron オン抵抗
- Rx 配線抵抗
- Ry 配線抵抗
- Ryo 抵抗

# 【書類名】 図面

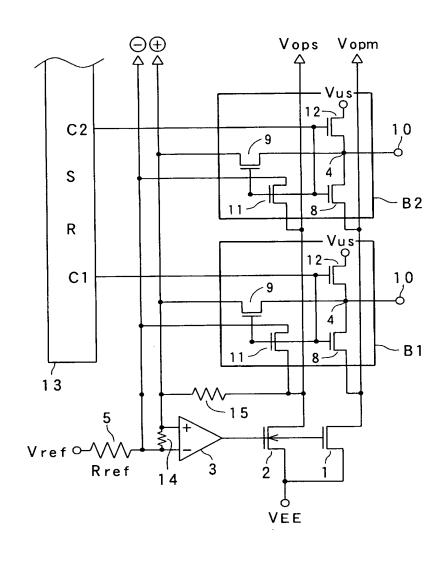
# 【図1】



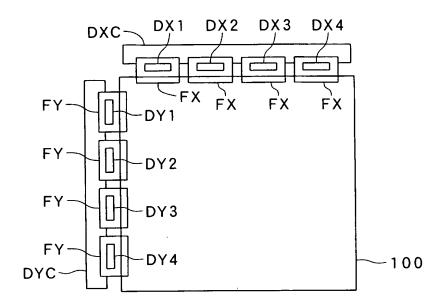
【図2】



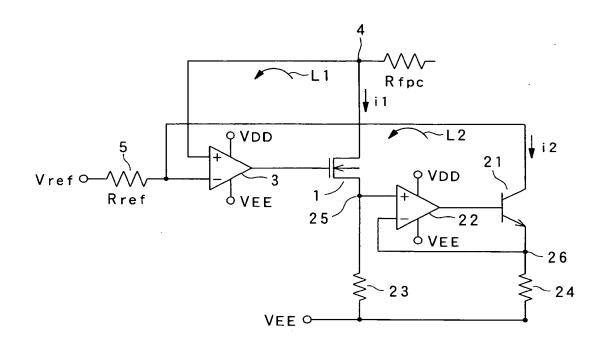
【図3】



【図4】

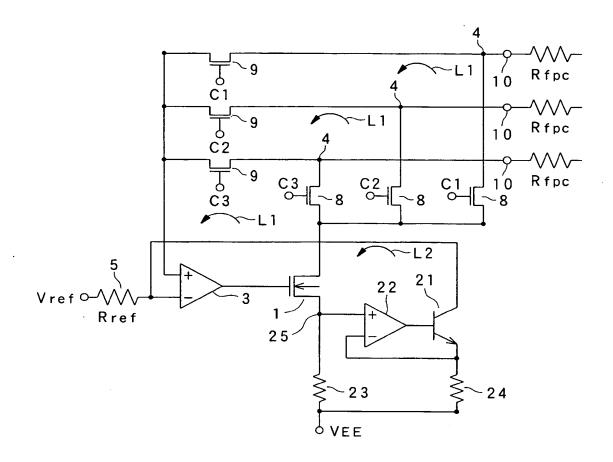


【図5】

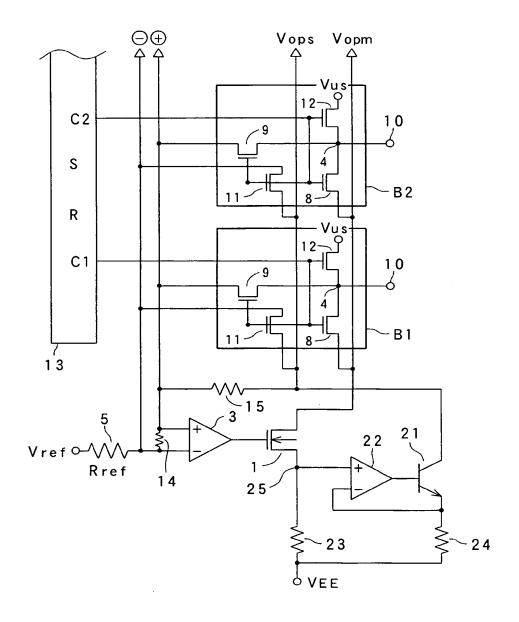


6/

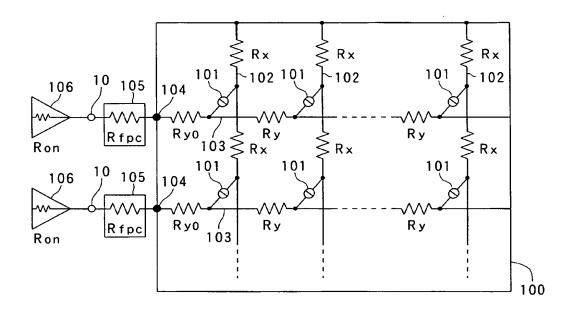
【図6】



# 【図7】



[図8]



【書類名】 要約書

【要約】

【課題】 比較的簡単な構成で接続部材の抵抗とそこを流れる電流による電圧降 下分を補正することができる放出素子の駆動回路を提供する。

【解決手段】 駆動用出力端子(4、10)側と基準電圧源VEE側とに一対の主電極が接続された駆動用トランジスタ1と、駆動用トランジスタ1から出力される出力電圧を制御するための演算増幅器3と、駆動用トランジスタ1に流れる電流i1を検出するための検出用トランジスタ2と、駆動用出力端子(4、10)の出力電圧を検出して、演算増幅器3に帰還させる第1の帰還ループL1と、検出用トランジスタ2の出力電流i2を検出して、演算増幅器3に帰還させる第2の帰還ループL2と、を備え、駆動用トランジスタ1と検出用トランジスタ2とがミラー回路を構成する。

【選択図】 図1

特願2003-021668

出願人履歴情報

識別番号

[000001007]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住所

東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社

特願2003-021668

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝

特願2003-021668

出願人履歴情報

識別番号

[000221199]

1. 変更年月日

1990年 8月23日

[変更理由]

新規登録

住 所 氏 名 神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社